

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85609

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>°</sup>

識別記号

F I

G 0 6 F 12/02

5 1 0

G 0 6 F 12/02

5 1 0 A

3/08

3/08

H

G 1 1 C 16/02

G 1 1 C 17/00

6 0 1 T

審査請求 未請求 請求項の数9 O L (全 14 頁)

(21) 出願番号

特願平9-244002

(22) 出願日

平成9年(1997) 9月9日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 溝口 慎一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

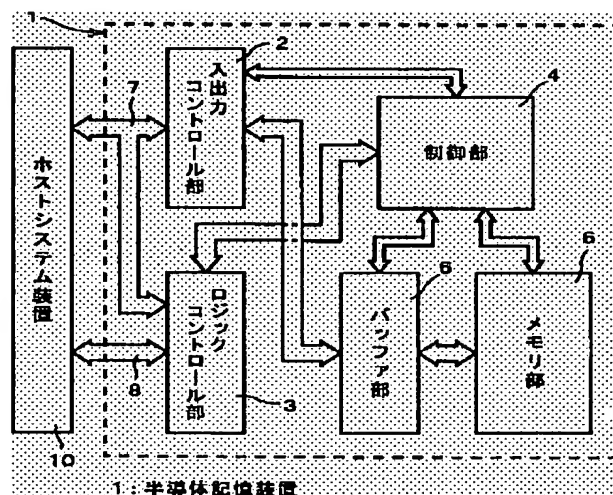
(74) 代理人 弁理士 青山 傑 (外1名)

(54) 【発明の名称】 半導体記憶装置及びそのデータ管理方法

(57) 【要約】

【課題】 データ転送時のオーバーヘッドを減少させて、データ転送速度の低下を減少させることができる半導体記憶装置及びそのデータ管理方法を得る。

【解決手段】 メモリ部6がクラスタ単位でデータ転送を行うことができるAND型のフラッシュメモリで形成され、キャッシュメモリの働きをするバッファ部5とメモリ部6との間でのデータ転送をクラスタ単位で行うようにした。



## 【特許請求の範囲】

【請求項1】 情報処理機器等からなるホストシステム装置に使用される不揮発性メモリを用いた半導体記憶装置において、

上記ホストシステム装置とのインタフェースを行うインタフェース部と、

クラスタ単位でデータ転送を行う、複数の不揮発性メモリで構成されたメモリ部と、

上記インタフェース部を介してホストシステム装置とメモリ部との間で行われるデータ転送時にキャッシュメモリとして使用される、揮発性メモリで形成されたバッファ部と、

上記ホストシステム装置からの指令に従って上記メモリ部及びバッファ部の制御を行う制御部とを備え、

該制御部は、上記バッファ部をメモリ部の1クラスタに対応させた各セクタアドレスを設けて使用することを特徴とする半導体記憶装置。

【請求項2】 上記制御部は、メモリ部から所望のデータを読み出す場合、該所望のデータが格納されたメモリ部のクラスタを読み出して上記バッファ部に格納した後、バッファ部から上記所望のデータを読み出してホストシステム装置に出力させることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 上記制御部は、メモリ部の空き領域にデータを書き込む場合、ホストシステム装置から入力されたデータを、ホストシステム装置から指定されたアドレスに対応させたバッファ部のアドレスに格納した後、該バッファ部に形成されたクラスタを読み出して、ホストシステム装置から指定されたメモリ部のクラスタに格納することを特徴とする請求項1又は請求項2のいずれかに記載の半導体記憶装置。

【請求項4】 上記制御部は、メモリ部に格納されているデータを書き換える場合、書き換えを行う所望のデータが格納されたメモリ部のクラスタを読み出してバッファ部に格納すると共に読み出したメモリ部のクラスタを消去し、ホストシステム装置から指定されたメモリ部のアドレスに対応するバッファ部のクラスタ内のデータを、ホストシステム装置から入力されたデータに書き換えた後、該バッファ部に形成されたクラスタを読み出して、上記消去したメモリ部のクラスタに格納することを特徴とする請求項1から請求項3のいずれかに記載の半導体記憶装置。

【請求項5】 上記バッファ部は、メモリ部の1クラスタ分のメモリ容量を有することを特徴とする請求項1から請求項4のいずれかに記載の半導体記憶装置。

【請求項6】 上記メモリ部は、AND型のフラッシュメモリで形成されることを特徴とする請求項1から請求項5のいずれかに記載の半導体記憶装置。

【請求項7】 クラスタ単位でデータ転送を行う複数の不揮発性メモリで構成されたメモリ部と、キャッシュメ

モリとして使用する揮発性メモリで構成されたバッファ部とを備えた、情報処理機器等からなるホストシステム装置に使用される半導体記憶装置におけるデータ管理方法において、

05 メモリ部からのデータ読み出し時に、  
ホストシステム装置から指定されたアドレスのデータが格納されたメモリ部のクラスタを読み出し、  
該読み出したメモリ部のクラスタを上記バッファ部に格納し、

10 バッファ部からホストシステム装置が指定した所望のデータを読み出してホストシステム装置に出力することを特徴とするデータ管理方法。

【請求項8】 上記メモリ部の空き領域に対するデータ書き込み時に、

15 ホストシステム装置から入力されたデータを、ホストシステム装置から指定されたアドレスに対応させたバッファ部のアドレスに格納し、  
バッファ部に形成されたクラスタを読み出し、

20 該読み出したクラスタをホストシステム装置から指定されたメモリ部のクラスタに格納することを特徴とする請求項7に記載のデータ管理方法。

【請求項9】 上記メモリ部に格納されているデータの書き換え時に、

書き換えを行う所望のデータが格納されたメモリ部のクラスタを読み出し、

25 該読み出したクラスタをバッファ部に格納し、  
読み出したメモリ部のクラスタを消去し、

ホストシステム装置から指定されたメモリ部のアドレスに対応するバッファ部のクラスタ内のデータを、ホストシステム装置から入力されたデータに書き換え、

30 上記バッファ部に形成されたクラスタを読み出し、  
該読み出したバッファ部のクラスタを上記消去したメモリ部のクラスタに格納することを特徴とする請求項7又は請求項8のいずれかに記載のデータ管理方法。

35 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体メモリを使用した半導体記憶装置及びそのデータ管理方法に関し、特に、フラッシュメモリ等の不揮発性メモリを使用した半導体記憶装置及びそのデータ管理方法に関する。

【0002】

【従来の技術】従来、不揮発性メモリとしてフラッシュメモリがあり、該フラッシュメモリには、セクタ単位でデータの転送を行うものがあつた。図15は、フラッシュメモリを使用した半導体記憶装置の従来例を示した概略のブロック図である。図15において、半導体記憶装置100は、入出力コントロール部101、ロジックコントロール部102、制御部103、SRAM等の揮発性メモリで構成されたバッファ部104及びフラッシュメモリ等の不揮発性メモリで構成されたメモリ部105

で形成されている。

【0003】入出力コントロール部101は、情報処理機器等からなるホストシステム装置110と入出力バス106を介してインタフェースを行い、ロジックコントロール部102は、ホストシステム装置110と入出力バス106及び制御バス107を介してインタフェースを行う。制御部103は、ホストシステム装置110からのコマンドに従って入出力コントロール部101、ロジックコントロール部102、バッファ部104及びメモリ部105の制御を行う。入出力バス106は、アドレスバス及びデータバスとして共有されるバスであり、制御バス107は、ホストシステム装置110から各種信号を入力するためのそれぞれの信号線と、半導体記憶装置100からデバイス状態を示す信号をホストシステム装置110へ出力するための信号線とで形成されている。

【0004】このような構成において、入出力コントロール部101は、入出力バス106を介してホストシステム装置110から入力されたコマンドを制御部103に、データをバッファ部104にそれぞれ出力する。ロジックコントロール部102は、入出力バス106を介して入力されたアドレスデータ、及び制御バス107を介して入力された制御信号を制御部103に出力すると共に、制御部103から入力されたデバイス状態を示す信号を制御バス107を介してホストシステム装置110に出力する。

【0005】制御部103は、ホストシステム装置110からのメモリ部105に対するデータ読み出し又はデータ書き込み等を指令するコマンドと、アドレスデータ等の制御データに応じてメモリ部105を制御する。メモリ部105を構成するフラッシュメモリは、データを8ビット又は16ビット単位でしか書き込み又は読み出しができないのに対して、ホストシステム装置110とは512バイト単位でデータのやりとりを行う必要があるため、制御部103は、バッファ部104をキャッシュメモリとして使用する。

【0006】

【発明が解決しようとする課題】ここで、メモリ部105は、セクタ単位でデータの転送を行う、例えばAND型のフラッシュメモリで形成されている場合、ホストシステム装置110との間で大容量データをセクタ単位でデータ転送したとき、1セクタごとのオーバーヘッド、すなわち1セクタごとにバッファ部104とメモリ部105との間でデータの読み出し及び書き込みが行われるため、半導体記憶装置100を使用したシステムとしてのデータ転送速度が遅くなるという問題があった。

【0007】本発明は、上記のような問題を解決するためになされたものであり、データ転送時のオーバーヘッドを減少させて、データ転送速度の低下を減少させることができる半導体記憶装置及びそのデータ管理方法を得る

ことを目的とする。

【0008】

【課題を解決するための手段】この発明に係る半導体記憶装置は、情報処理機器等からなるホストシステム装置に使用される不揮発性メモリを用いた半導体記憶装置において、ホストシステム装置とのインタフェースを行うインタフェース部と、クラスタ単位でデータ転送を行う、複数の不揮発性メモリで構成されたメモリ部と、インタフェース部を介してホストシステム装置とメモリ部との間で行われるデータ転送時にキャッシュメモリとして使用される、揮発性メモリで形成されたバッファ部と、ホストシステム装置からの指令に従って上記メモリ部及びバッファ部の制御を行う制御部とを備え、該制御部は、バッファ部をメモリ部の1クラスタに対応させた各セクタアドレスを設けて使用するものである。

【0009】また、この発明に係る半導体記憶装置は、請求項1において、上記制御部は、メモリ部から所望のデータを読み出す場合、該所望のデータが格納されたメモリ部のクラスタを読み出して上記バッファ部に格納した後、バッファ部から上記所望のデータを読み出してホストシステム装置に出力させるものである。

【0010】また、この発明に係る半導体記憶装置は、請求項1又は請求項2のいずれかにおいて、上記制御部は、メモリ部の空き領域にデータを書き込む場合、ホストシステム装置から入力されたデータを、ホストシステム装置から指定されたアドレスに対応させたバッファ部のアドレスに格納した後、該バッファ部に形成されたクラスタを読み出して、ホストシステム装置から指定されたメモリ部のクラスタに格納するものである。

【0011】また、この発明に係る半導体記憶装置は、請求項1から請求項3のいずれかにおいて、上記制御部は、メモリ部に格納されているデータを書き換える場合、書き換えを行う所望のデータが格納されたメモリ部のクラスタを読み出してバッファ部に格納すると共に読み出したメモリ部のクラスタを消去し、ホストシステム装置から指定されたメモリ部のアドレスに対応するバッファ部のクラスタ内のデータを、ホストシステム装置から入力されたデータに書き換えた後、該バッファ部に形成されたクラスタを読み出して、上記消去したメモリ部のクラスタに格納するものである。

【0012】また、この発明に係る半導体記憶装置は、請求項1から請求項4のいずれかにおいて、上記バッファ部は、メモリ部の1クラスタ分のメモリ容量を有するものである。

【0013】また、この発明に係る半導体記憶装置は、請求項1から請求項5のいずれかにおいて、上記メモリ部は、AND型のフラッシュメモリで形成されるものである。

【0014】また、この発明に係るデータ管理方法は、クラスタ単位でデータ転送を行う複数の不揮発性メモリ

で構成されたメモリ部と、キャッシュメモリとして使用する揮発性メモリで構成されたバッファ部とを備えた、情報処理機器等からなるホストシステム装置に使用される半導体記憶装置におけるデータ管理方法において、メモリ部からのデータ読み出し時に、ホストシステム装置から指定されたアドレスのデータが格納されたメモリ部のクラスタを読み出し、該読み出したメモリ部のクラスタを上記バッファ部に格納し、バッファ部からホストシステム装置が指定した所望のデータを読み出してホストシステム装置に出力するものである。

【0015】また、この発明に係るデータ管理方法は、請求項7において、上記メモリ部の空き領域に対するデータ書き込み時に、ホストシステム装置から入力されたデータを、ホストシステム装置から指定されたアドレスに対応させたバッファ部のアドレスに格納し、バッファ部に形成されたクラスタを読み出し、該読み出したクラスタをホストシステム装置から指定されたメモリ部のクラスタに格納するものである。

【0016】また、この発明に係るデータ管理方法は、請求項7又は請求項8のいずれかにおいて、上記メモリ部に格納されているデータの書き換え時に、書き換えを行う所望のデータが格納されたメモリ部のクラスタを読み出し、該読み出したクラスタをバッファ部に格納し、読み出したメモリ部のクラスタを消去し、ホストシステム装置から指定されたメモリ部のアドレスに対応するバッファ部のクラスタ内のデータを、ホストシステム装置から入力されたデータに書き換え、バッファ部に形成されたクラスタを読み出し、該読み出したバッファ部のクラスタを上記消去したメモリ部のクラスタに格納するものである。

【0017】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

実施の形態1. 図1は、本発明の実施の形態1における半導体記憶装置の例を示した概略のブロック図である。図1において、半導体記憶装置1は、入出力コントロール部2、ロジックコントロール部3、制御部4、SRAM等の揮発性メモリで構成されたバッファ部5及びフラッシュメモリ等の不揮発性メモリで構成されたメモリ部6で形成されている。なお、入出力コントロール部2及びロジックコントロール部3はインタフェース部をなす。

【0018】入出力コントロール部2は、入出力バス7を介して情報処理機器等からなるホストシステム装置10に接続され、ロジックコントロール部3は、制御バス8を介してホストシステム装置10に接続されている。入出力コントロール部2は、更に制御部4に接続されると共にバッファ部5に接続され、ロジックコントロール部3は、更に制御部4に接続されている。制御部4は、バッファ部5及びメモリ部6に接続され、バッファ部5

は、更にメモリ部6に接続されている。

【0019】入出力コントロール部2は、ホストシステム装置10と入出力バス7を介してインタフェースを行い、ロジックコントロール部3は、ホストシステム装置10と入出力バス7及び制御バス8を介してインタフェースを行う。制御部4は、ホストシステム装置10からのコマンドに従って入出力コントロール部2、ロジックコントロール部3、バッファ部5及びメモリ部6の制御を行う。

【0020】入出力バス7は、アドレスバス及びデータバスとして共有されるバスであり、制御バス8は、チップセレクト信号CS#、アウトプットイネーブル信号OE#、ライトイネーブル信号WE#、リセット信号RES及びクロック信号CLK等の各制御信号をホストシステム装置10から入力するためのそれぞれの信号線と、半導体記憶装置1がレディ状態であるか否かを示す状態検出信号READYを半導体記憶装置1からホストシステム装置10へ出力するための信号線とで形成されている。なお、各信号を示す符号の#は、信号レベルの反転を示すものであり、Lowアクティブであることを示している。

【0021】入出力コントロール部2は、入出力バス7を介してホストシステム装置10から入力されたコマンドを制御部4に、メモリ部6に格納するデータをバッファ部5にそれぞれ出力し、バッファ部5を介してメモリ部6から読み出されたデータを、入出力バス7を介してホストシステム装置10に出力する。ロジックコントロール部3は、入出力バス7を介して入力されたアドレスデータ、及び制御バス8を介して入力された制御信号を制御部4に出力すると共に、制御部4から入力されたデバイス状態を示す信号を制御バス8を介してホストシステム装置10に出力する。

【0022】制御部4は、ホストシステム装置10からのメモリ部6に対するデータ読み出し又はデータ書き込み等を指令するコマンドと、アドレスデータ等の上記各制御信号に応じてメモリ部6を制御する。メモリ部6を構成するフラッシュメモリは、データを8ビット又は16ビット単位でしか書き込み又は読み出しができないのに対して、ホストシステム装置10とは512バイト単位でデータのやりとりを行う必要があるため、制御部4は、バッファ部5をキャッシュメモリとして使用する。

【0023】メモリ部6は、AND型のフラッシュメモリで形成されており、該AND型のフラッシュメモリは、従来、セクタ単位でしかデータ転送を行うことができなかったがクラスタ単位でデータ転送を行うことができるようにしたものである。このことから、バッファ部5は1クラスタのメモリ容量を備え、制御部4は、バッファ部5をメモリ部6のクラスタと同じ構成になるように各セクタ及びセクタ管理領域を割り当てて使用する。

図2は、メモリ部6におけるメモリ空間の例を示した図

である。図2において、メモリ部6は、クラスタA1～Am(mは自然数)で形成されており、該各クラスタごとにアドレスが設けられている。

【0024】クラスタA1～Amは、それぞれセクタB1～Bn(nは自然数)と該各セクタB1～Bnごとに設けられたセクタ管理領域C1～Cnとで形成されている。該セクタ管理領域C1～Cnは、対応するセクタB1～Bnに関する情報を格納する領域であり、対応するセクタB1～Bnの後ろにそれぞれ続いて設けられている。このことから、制御部4は、メモリ部6のクラスタA1～Amと同様に、バッファ部5がセクタB1～Bnと該各セクタB1～Bnごとに設けられたセクタ管理領域C1～Cnとで構成されているようにして使用する。

【0025】ここで、ホストシステム装置10から入力されるアドレスデータにおいて、オフセット値と呼ばれる最下位から所定のビット数例えば3～4ビットで、セクタB1～Bnのアドレスを示す。このように、制御部4は、ホストシステム装置10から入力されたアドレスデータが示すメモリ部6のクラスタアドレスに対して、ホストシステム装置10から入力されるコマンドに従ってクラスタ単位でデータの読み出し、書き込み及び消去を行う。

【0026】上記のような構成において、メモリ部6に格納されたデータを読み出す動作について説明する。図3は、図1で示した半導体記憶装置1におけるデータ読み出し時の動作例を示したフローチャートであり、図3では、ホストシステム装置10から指定されたセクタ(セクタ管理領域も含む)を読み出す場合の動作を示している。図3において、最初にステップS1で、ホストシステム装置10は、データ読み出しを行う所望のセクタを示すアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

【0027】次に、ステップS2で、ホストシステム装置10は、所望のセクタ及び該セクタのセクタ管理領域を読み出すように所定のセクタリードコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたセクタリードコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS3に進む。

【0028】ステップS3において、制御部4は、入出力コントロール部2から入力されたコマンドがセクタリードコマンドであることを認識し、ホストシステム装置10から指定されたセクタを有するクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS4で、制御部4は、バッファ部5に格納したクラ

スタから、ホストシステム装置10より指定されたセクタ及び該セクタのセクタ管理領域を読み出して、入出力コントロール部2及び入出力バス7を介してホストシステム装置10に出力し、本フローは終了する。

05 【0029】図3では、指定されたセクタをセクタ管理領域と共に読み出す場合を示したが、ホストシステム装置10からのセクタリードコマンドがセクタ管理領域を含んでいない場合、図3のステップS4でホストシステム装置10から指定されたセクタのみを読み出すようにする。

10 【0030】次に、所望のセクタ管理領域を読み出す場合における半導体記憶装置1の動作例を図4のフローチャートを用いて説明する。図4において、ステップS11で、ホストシステム装置10は、データ読み出しを行う所望のセクタ管理領域が付加されているセクタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

15 【0031】次に、ステップS12で、ホストシステム装置10は、所望のセクタ管理領域を読み出すように所定のセクタ管理領域リードコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたセクタ管理領域リードコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS13に進む。

20 【0032】ステップS13において、制御部4は、入出力コントロール部2から入力されたコマンドがセクタ管理領域リードコマンドであることを認識し、ホストシステム装置10から指定されたセクタを有するクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS14で、制御部4は、バッファ部5に格納したクラスタから、ホストシステム装置10より指定されたセクタ管理領域を読み出して、入出力コントロール部2及び入出力バス7を介してホストシステム装置10に出力し、本フローは終了する。

25 【0033】次に、クラスタ内における任意の連続した複数のセクタ(セクタ管理領域も含む)を読み出す場合における、半導体記憶装置1の動作例を図5のフローチャートを用いて説明する。図5において、ステップS21で、ホストシステム装置10は、クラスタ内のデータ読み出しを行う所望の連続したセクタにおける先頭のセクタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

30 【0034】次に、ステップS22で、ホストシステム装置10は、データ読み出しを行うセクタ数を入出力バ



ス7を介して入出力コントロール部2に出力し、更に入出力コントロール部2は、入力されたセクタ数を制御部4に出力し、ステップS23に進む。ステップS23において、ホストシステム装置10は、クラスタ内の所望の連続した各セクタをそれぞれのセクタ管理領域と共に読み出すように所定の連続セクタリードコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力された連続セクタリードコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS24に進む。

【0035】ステップS24において、制御部4は、入出力コントロール部2から入力されたコマンドが連続セクタリードコマンドであることを認識し、ホストシステム装置10から指定されたセクタを有するクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS25で、制御部4は、バッファ部5に格納したクラスタから、ホストシステム装置10より指定された先頭のセクタアドレス及びセクタ数から、連続したセクタをそれぞれのセクタ管理領域と共に読み出して、入出力コントロール部2及び入出力バス7を介してホストシステム装置10に出力し、本フローは終了する。

【0036】次に、クラスタを読み出す場合における半導体記憶装置1の動作例を図6のフローチャートを用いて説明する。図6において、最初にステップS31で、ホストシステム装置10は、データ読み出しを行う所望のクラスタを示すアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

【0037】次に、ステップS32で、ホストシステム装置10は、所望のクラスタを読み出すように所定のクラスタリードコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたクラスタリードコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS33に進む。

【0038】ステップS33において、制御部4は、入出力コントロール部2から入力されたコマンドがクラスタリードコマンドであることを認識し、ホストシステム装置10から指定されたクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS34で、制御部4は、バッファ部5に格納したクラスタを読み出して、入出力コントロール部2及び入出力バス7を介してホストシステム装置10に出力し、本フローは終

了する。

【0039】次に、メモリ部6にデータを書き込む動作について説明する。図7は、図1で示した半導体記憶装置1におけるデータ書き込み時の動作例を示したフローチャートであり、図7では、ホストシステム装置10から指定されたセクタ（セクタ管理領域も含む）へデータを書き込む場合の動作を示している。図7において、最初にステップS41で、ホストシステム装置10は、データ書き込みを行う所望のセクタを示すアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。なお、この際、ホストシステム装置10は、メモリ部6におけるデータが書き込まれていないクラスタ内のセクタを選択してアドレスデータを出力する。

【0040】次に、ステップS42で、ホストシステム装置10は、所望のセクタ及びそのセクタ管理領域にデータ書き込みを行うように所定のセクタライトコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は入力されたセクタライトコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS43に進む。

【0041】次に、ステップS43で、制御部4は、入出力コントロール部2から入力されたコマンドがセクタライトコマンドであることを認識し、ホストシステム装置10は、メモリ部6の所望のセクタに格納するデータ、及び該セクタのセクタ管理領域に格納するデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS44に進む。

【0042】ステップS44で、入出力コントロール部2は、入力された各データをバッファ部5に出力する。制御部4は、バッファ部5に対して、入出力コントロール部2から出力された所望のセクタに格納するデータを、バッファ部5におけるステップS41で入力されたアドレスデータが示すセクタに格納させると共に、該セクタのセクタ管理領域に、入出力コントロール部2から出力されたセクタ管理領域に格納するデータを格納して、ステップS45に進む。ステップS45において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、メモリ部6のホストシステム装置10から指定されたクラスタに格納し、本フローは終了する。

【0043】図7では、ホストシステム装置10から指定されたセクタにセクタ管理領域と共にデータ書き込みを行う場合を示したが、ホストシステム装置10からのセクタライトコマンドがセクタ管理領域を含んでいない場合、バッファ部5の所望のセクタにのみデータが書き

込まれる以外は図7と同様であるのでその説明を省略する。

【0044】次に、所望のセクタ管理領域にデータを書き込む場合における半導体記憶装置1の動作例を図8のフローチャートを用いて説明する。図8において、ステップS51で、ホストシステム装置10は、データ書き込みを行う所望のセクタ管理領域が付加されているセクタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。なお、この際、ホストシステム装置10は、メモリ部6におけるデータが書き込まれていないクラスタ内のセクタを選択してアドレスデータを出力する。

【0045】次に、ステップS52で、ホストシステム装置10は、所望のセクタ管理領域にデータ書き込みを行うように所定のセクタ管理領域ライトコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたセクタ管理領域ライトコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS53に進む。

【0046】ステップS53において、制御部4は、入出力コントロール部2から入力されたコマンドがセクタ管理領域ライトコマンドであることを認識し、ホストシステム装置10は、メモリ部6の所望のセクタ管理領域に格納するデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS54に進む。ステップS54で、入出力コントロール部2は、入力されたデータをバッファ部5に出力する。制御部4は、バッファ部5に対して、入出力コントロール部2から出力された所望のセクタ管理領域に格納するデータを、バッファ部5におけるステップS51で入力されたアドレスデータが示すセクタのセクタ管理領域に格納して、ステップS55に進む。ステップS55において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、メモリ部6のホストシステム装置10から指定されたクラスタに格納し、本フローは終了する。

【0047】次に、クラスタ内における任意の連続した複数のセクタ（セクタ管理領域を含む）にデータ書き込みを行う場合における、半導体記憶装置1の動作例を図9のフローチャートを用いて説明する。図9において、ステップS61で、ホストシステム装置10は、クラスタ内のデータ書き込みを行う所望の連続したセクタにおける先頭のセクタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。なお、この際、ホストシステム装置10は、メモリ部6におけるデータが書き込まれていない

クラスタ内のセクタを選択してアドレスデータを出力する。

【0048】次に、ステップS62で、ホストシステム装置10は、データ書き込みを行うセクタ数を入出力バス7を介して入出力コントロール部2に出力し、更に入出力コントロール部2は、入力されたセクタ数を制御部4に出力し、ステップS63に進む。ステップS63において、ホストシステム装置10は、クラスタ内の所望の連続した各セクタにそれぞれのセクタ管理領域と共にデータ書き込みを行うように所定の連続セクタライトコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力された連続セクタライトコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS64に進む。

【0049】ステップS64において、制御部4は、入出力コントロール部2から入力されたコマンドが連続セクタライトコマンドであることを認識し、ホストシステム装置10は、メモリ部6の所望の連続した各セクタに格納するデータ、及び該各セクタのセクタ管理領域に格納するデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS65に進む。

【0050】ステップS65で、入出力コントロール部2は、入力された各データをバッファ部5に出力する。制御部4は、バッファ部5に対して、入出力コントロール部2から出力された所望の連続した各セクタに格納するデータを、バッファ部5におけるステップS61で入力されたアドレスデータが示すセクタから順にステップS62で指定されたセクタ数に格納させると共に、該各セクタのセクタ管理領域に入出力コントロール部2から出力されたセクタ管理領域に格納するデータをそれぞれ格納してステップS66に進む。ステップS66において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、メモリ部6のホストシステム装置10から指定されたクラスタに格納し、本フローは終了する。

【0051】次に、所望のクラスタにデータを書き込む場合における半導体記憶装置1の動作例を図10のフローチャートを用いて説明する。図10において、ステップS71で、ホストシステム装置10は、データ書き込みを行う所望のクラスタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。なお、この際、ホストシステム装置10は、メモリ部6におけるデータが書き込まれていないクラスタを選択してアドレスデータを出力する。

【0052】次に、ステップS72で、ホストシステム装置10は、所望のクラスタにデータ書き込みを行うよ

うに所定のクラスタライトコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたクラスタライトコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS73に進む。

【0053】ステップS73において、制御部4は、入出力コントロール部2から入力されたコマンドがクラスタライトコマンドであることを認識し、ホストシステム装置10は、メモリ部6の所望のクラスタに格納するデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS74に進む。ステップS74で、入出力コントロール部2は、入力されたデータをバッファ部5に出力する。制御部4は、バッファ部5に対して、入出力コントロール部2から出力された所望のクラスタに格納するデータをバッファ部5に格納して、ステップS75に進む。ステップS75において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、メモリ部6のホストシステム装置10から指定されたクラスタに格納し、本フローは終了する。

【0054】次に、メモリ部6に格納されたデータを書き換える動作について説明する。図11は、図1で示した半導体記憶装置1におけるデータ書き換え時の動作例を示したフローチャートであり、図11では、ホストシステム装置10から指定されたセクタ（セクタ管理領域も含む）に対するデータの書き換えを行う場合の動作を示している。図11において、最初にステップS81で、ホストシステム装置10は、データ書き換えを行う所望のセクタを示すアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

【0055】次に、ステップS82で、ホストシステム装置10は、所望のセクタ及びそのセクタ管理領域のデータ書き換えを行うように所定のセクタ書き換えコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたセクタ書き換えコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS83に進む。

【0056】ステップS83で、制御部4は、入出力コントロール部2から入力されたコマンドがセクタ書き換えコマンドであることを認識し、ホストシステム装置10から指定されたセクタを有するクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS84で、制御部4は、バッファ部5へ読み出された

メモリ部6のクラスタを消去する。更に、ステップS85で、ホストシステム装置10は、メモリ部6の所望のセクタを書き換えるデータ、及び該セクタのセクタ管理領域を書き換えるデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS86に進む。

【0057】ステップS86で、入出力コントロール部2は、入力された各データをバッファ部5に出力する。制御部4は、バッファ部5に対して、バッファ部5におけるステップS81で入力されたアドレスデータが示すセクタを、入出力コントロール部2から出力された所望のセクタに格納するデータに書き換えると共に、該セクタのセクタ管理領域を、入出力コントロール部2から出力されたセクタ管理領域に格納するデータに書き換えて、ステップS87に進む。ステップS87において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、バッファ部5にデータを読み出したメモリ部6の元のクラスタに格納し、本フローは終了する。

【0058】図11では、ホストシステム装置10から指定されたセクタにセクタ管理領域と共にデータ書き換えを行う場合を示したが、ホストシステム装置10からのセクタライトコマンドがセクタ管理領域を含んでいない場合、バッファ部5の所望のセクタのみデータが書き換えられる以外は図11と同様であるのでその説明を省略する。

【0059】次に、所望のセクタ管理領域のデータを書き換える場合における半導体記憶装置1の動作例を図12のフローチャートを用いて説明する。図12において、ステップS91で、ホストシステム装置10は、データ書き換えを行う所望のセクタ管理領域が付加されているセクタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

【0060】次に、ステップS92で、ホストシステム装置10は、所望のセクタ管理領域のデータ書き換えを行うように所定のセクタ管理領域書き換えコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は入力されたセクタ管理領域書き換えコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS93に進む。

【0061】ステップS93で、制御部4は、入出力コントロール部2から入力されたコマンドがセクタ管理領域書き換えコマンドであることを認識し、ホストシステム装置10から指定されたセクタを有するクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS94で、制御部4は、バッファ部5へ読



み出されたメモリ部6のクラスタを消去する。更に、ステップS95で、ホストシステム装置10は、メモリ部6の所望のセクタ管理領域を書き換えるデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS96に進む。

【0062】ステップS96で、入出力コントロール部2は、入力された各データをバッファ部5に出力する。制御部4は、バッファ部5に対して、バッファ部5におけるステップS91で入力されたアドレスデータが示すセクタのセクタ管理領域を、入出力コントロール部2から出力された所望のセクタ管理領域に格納するデータに書き換えて、ステップS97に進む。ステップS97において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、バッファ部5にデータを読み出したメモリ部6の元のクラスタに格納し、本フローは終了する。

【0063】次に、連続した複数のセクタの各データを書き換える場合における半導体記憶装置10の動作例を図13のフローチャートを用いて説明する。図13において、ステップS101で、ホストシステム装置10は、クラスタ内のデータ書き込みを行う所望の連続したセクタにおける先頭のセクタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

【0064】次に、ステップS102で、ホストシステム装置10は、データの書き換えを行うセクタ数を入出力バス7を介して入出力コントロール部2に出力し、更に入出力コントロール部2は、入力されたセクタ数を制御部4に出力し、ステップS103に進む。ステップS103において、ホストシステム装置10は、クラスタ内の所望の連続した各セクタにそれぞれのセクタ管理領域と共にデータの書き換えを行うように所定の連続セクタ書き換えコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力された連続セクタ書き換えコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS104に進む。

【0065】ステップS104において、制御部4は、入出力コントロール部2から入力されたコマンドが連続セクタ書き換えコマンドであることを認識し、ホストシステム装置10から指定されたセクタを有するクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS105で、制御部4は、バッファ部5へ読み出されたメモリ部6のクラスタを消去する。更に、ステップS106で、ホストシステム装置10は、メモリ部6の所望の連続した各セクタを書き換えるデータ、及び該各セクタのセクタ管理領域を書き換えるデー

タを入出力バス7を介して入出力コントロール部2に出力して、ステップS107に進む。

【0066】ステップS107において、入出力コントロール部2は、入力された各データをバッファ部5に出力する。制御部4は、バッファ部5に対して、バッファ部5におけるステップS101で入力されたアドレスデータが示すセクタから順にステップS102で指定されたセクタ数までを、入出力コントロール部2から出力された所望の連続した各セクタに格納するデータに書き換えると共に、該各セクタのセクタ管理領域を、入出力コントロール部2から出力されたセクタ管理領域に格納するデータに書き換えて、ステップS108に進む。ステップS108において、制御部4は、クラスタを形成しているバッファ部5のデータを読み出して、バッファ部5にデータを読み出したメモリ部6の元のクラスタに格納し、本フローは終了する。

【0067】次に、所望のクラスタを書き換える場合における半導体記憶装置10の動作例を図14のフローチャートを用いて説明する。図14において、ステップS111で、ホストシステム装置10は、データの書き換えを行う所望のクラスタのアドレスデータを入出力バス7を介してロジックコントロール部3に出力し、更にロジックコントロール部3は、入力されたアドレスデータを制御部4に出力する。

【0068】次に、ステップS112で、ホストシステム装置10は、所望のクラスタのデータ書き換えを行うように所定のクラスタ書き換えコマンドを入出力バス7を介して入出力コントロール部2に出力すると共に、各制御信号を制御バス8を介してそれぞれロジックコントロール部3に出力する。入出力コントロール部2は、入力されたクラスタ書き換えコマンドを制御部4に出力すると共に、ロジックコントロール部3は入力された各制御信号を制御部4にそれぞれ出力して、ステップS113に進む。

【0069】ステップS113において、制御部4は、入出力コントロール部2から入力されたコマンドがクラスタ書き換えコマンドであることを認識し、ホストシステム装置10から指定されたクラスタをメモリ部6から読み出してバッファ部5に格納する。次に、ステップS114で、制御部4は、読み出されたメモリ部6のクラスタを消去する。次に、ステップS115で、ホストシステム装置10は、メモリ部6の所望のクラスタに格納するデータを入出力バス7を介して入出力コントロール部2に出力して、ステップS116に進む。

【0070】ステップS116で、入出力コントロール部2は、入力されたデータをバッファ部5に出力する。制御部4は、バッファ部5に格納されたクラスタを、入出力コントロール部2から出力された所望のクラスタに格納するデータに書き換えて、ステップS117に進む。ステップS117において、制御部4は、クラスタ

を形成しているバッファ部5のデータを読み出して、バッファ部5にデータを読み出したメモリ部6の元のクラスタに格納し、本フローは終了する。

【0071】このように、本発明の実施の形態1における半導体記憶装置は、メモリ部6がクラスタ単位でデータ転送を行うことができるAND型のフラッシュメモリで形成され、キャッシュメモリの働きをするバッファ部5とメモリ部6との間でのデータ転送をクラスタ単位で行うようにした。このことから、セクタ単位でデータ転送を行った場合と比較して、データ転送時のオーバーヘッドを減少させて、データ転送速度の低下を減少させることができる。

【0072】

【発明の効果】請求項1に係る半導体記憶装置は、メモリ部がクラスタ単位でデータ転送を行うことができ、キャッシュメモリの働きをするバッファ部とメモリ部との間でのデータ転送をクラスタ単位で行うようにした。このことから、セクタ単位でデータ転送を行った場合と比較して、データ転送時のオーバーヘッドを減少させて、データ転送速度の低下を減少させることができる。

【0073】請求項2に係る半導体記憶装置は、請求項1において、具体的には、メモリ部から所望のデータを読み出す場合、該所望のデータが格納されたメモリ部のクラスタを読み出してバッファ部に格納した後、バッファ部から上記所望のデータを読み出してホストシステム装置に出力するようにした。このことから、データ読み出し時において、セクタ単位でデータ読み出しを行った場合と比較して、データ読み出し時のオーバーヘッドを減少させて、データ読み出し速度の低下を減少させることができる。

【0074】請求項3に係る半導体記憶装置は、請求項1又は請求項2において、具体的には、メモリ部の空き領域にデータを書き込む場合、ホストシステム装置から入力されたデータを、ホストシステム装置から指定されたアドレスに対応させたバッファ部のアドレスに格納した後、該バッファ部に形成されたクラスタを読み出して、ホストシステム装置から指定されたメモリ部のクラスタに格納するようにした。このことから、データ書き込み時において、セクタ単位でデータ書き込みを行った場合と比較して、データ書き込み時のオーバーヘッドを減少させて、データ書き込み速度の低下を減少させることができる。

【0075】請求項4に係る半導体記憶装置は、請求項1から請求項3において、具体的には、メモリ部に格納されているデータを書き換える場合、書き換えを行う所望のデータが格納されたメモリ部のクラスタを読み出してバッファ部に格納すると共に読み出したメモリ部のクラスタを消去し、ホストシステム装置から指定されたメモリ部のアドレスに対応するバッファ部のクラスタ内のデータを、ホストシステム装置から入力されたデータに

書き換えた後、該バッファ部に形成されたクラスタを読み出して、上記消去したメモリ部のクラスタに格納するようにした。このことから、データ書き換え時において、セクタ単位でデータ書き換えを行った場合と比較して、データ書き換え時のオーバーヘッドを減少させて、データ書き換え速度の低下を減少させることができる。

【0076】請求項5に係る半導体記憶装置は、請求項1から請求項4において、バッファ部は、メモリ部の1クラスタ分のメモリ容量を有するようにした。このことから、バッファ部をメモリ部のクラスタと同じ構成になるように各セクタ及びセクタ管理領域を割り当てて使用することにより、バッファ部とメモリ部との間でクラスタ単位のデータ転送を容易に行うことができる。

【0077】請求項6に係る半導体記憶装置は、請求項1から請求項5において、メモリ部は、AND型のフラッシュメモリで形成されるようにした。このことから、AND型のフラッシュメモリにおいて、クラスタ単位でデータ転送を行うことができ、セクタ単位でデータ転送を行った場合と比較して、データ転送時のオーバーヘッドを減少させて、データ転送速度の低下を減少させることができる。

【0078】請求項7に係るデータ管理方法は、メモリ部から所望のデータを読み出す場合、該所望のデータが格納されたメモリ部のクラスタを読み出してバッファ部に格納した後、バッファ部から上記所望のデータを読み出してホストシステム装置に出力するようにした。このことから、データ読み出し時において、セクタ単位でデータ読み出しを行った場合と比較して、データ読み出し時のオーバーヘッドを減少させて、データ読み出し速度の低下を減少させることができる。

【0079】請求項8に係るデータ管理方法は、請求項7において、メモリ部の空き領域にデータを書き込む場合、ホストシステム装置から入力されたデータを、ホストシステム装置から指定されたアドレスに対応させたバッファ部のアドレスに格納した後、該バッファ部に形成されたクラスタを読み出して、ホストシステム装置から指定されたメモリ部のクラスタに格納するようにした。このことから、データ書き込み時において、セクタ単位でデータ書き込みを行った場合と比較して、データ書き込み時のオーバーヘッドを減少させて、データ書き込み速度の低下を減少させることができる。

【0080】請求項9に係るデータ管理方法は、請求項7又は請求項8において、メモリ部に格納されているデータを書き換える場合、書き換えを行う所望のデータが格納されたメモリ部のクラスタを読み出してバッファ部に格納すると共に読み出したメモリ部のクラスタを消去し、ホストシステム装置から指定されたメモリ部のアドレスに対応するバッファ部のクラスタ内のデータを、ホストシステム装置から入力されたデータに書き換えた後、該バッファ部に形成されたクラスタを読み出して、

上記消去したメモリ部のクラスタに格納するようにした。このことから、データ書き換え時において、セクタ単位でデータ書き換えを行った場合と比較して、データ書き換え時のオーバーヘッドを減少させて、データ書き換え速度の低下を減少させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体記憶装置の例を示した概略のブロック図である。

【図2】 図1で示したメモリ部6におけるメモリ空間の例を示した図である。

【図3】 図1で示した半導体記憶装置1における、セクタからのデータ読み出し時の動作例を示したフローチャートである。

【図4】 図1で示した半導体記憶装置1における、セクタ管理領域からのデータ読み出し時の動作例を示したフローチャートである。

【図5】 図1で示した半導体記憶装置1における、クラスタ内の連続した複数のセクタからのデータ読み出し時の動作例を示したフローチャートである。

【図6】 図1で示した半導体記憶装置1における、クラスタからのデータ読み出し時の動作例を示したフローチャートである。

【図7】 図1で示した半導体記憶装置1における、セクタへのデータ書き込み時の動作例を示したフローチャートである。

【図8】 図1で示した半導体記憶装置1における、セクタ管理領域へのデータ書き込み時の動作例を示したフ

ローチャートである。

【図9】 図1で示した半導体記憶装置1における、クラスタ内の連続した複数のセクタへのデータ書き込み時の動作例を示したフローチャートである。

05 【図10】 図1で示した半導体記憶装置1における、クラスタへのデータ書き込み時の動作例を示したフローチャートである。

10 【図11】 図1で示した半導体記憶装置1における、セクタのデータ書き換え時の動作例を示したフローチャートである。

【図12】 図1で示した半導体記憶装置1における、セクタ管理領域のデータ書き換え時の動作例を示したフローチャートである。

15 【図13】 図1で示した半導体記憶装置1における、クラスタ内の連続した複数のセクタのデータ書き換え時の動作例を示したフローチャートである。

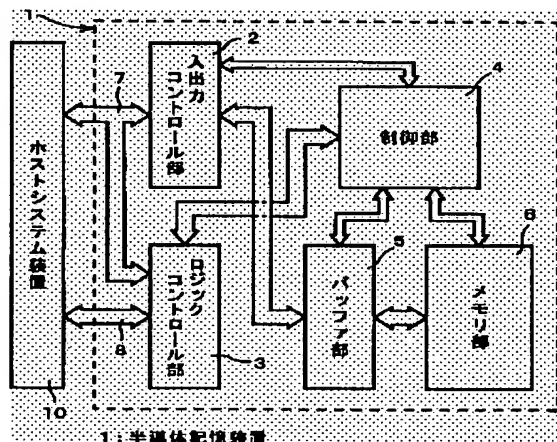
【図14】 図1で示した半導体記憶装置1における、クラスタのデータ書き換え時の動作例を示したフローチャートである。

20 【図15】 フラッシュメモリを使用した半導体記憶装置の従来例を示した概略のブロック図である。

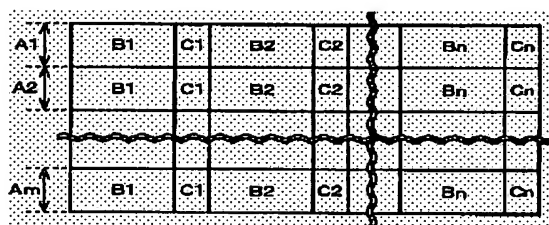
【符号の説明】

- 1 半導体記憶装置、 2 入出力コントロール部、  
3 ロジックコントロール部、 4 制御部、 5 バッファ部、 6 メモリ部、 10 ホストシステム装置

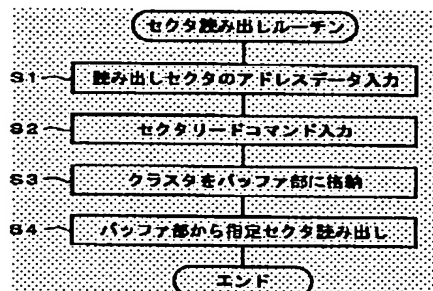
【図1】



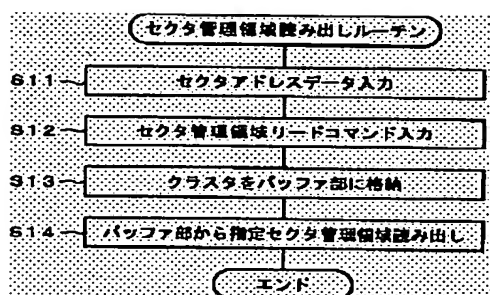
【図2】



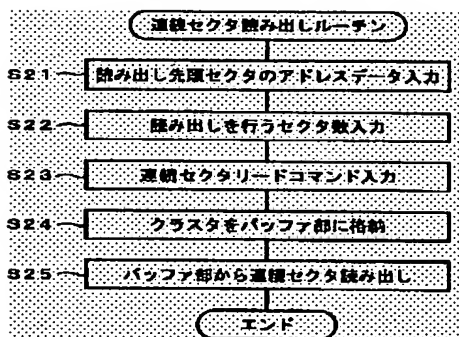
【図3】



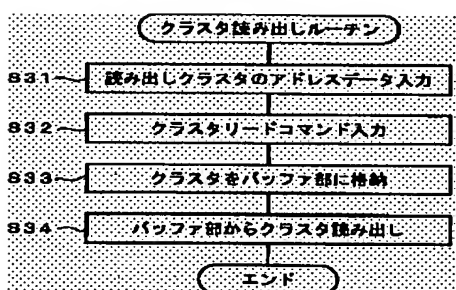
【図4】



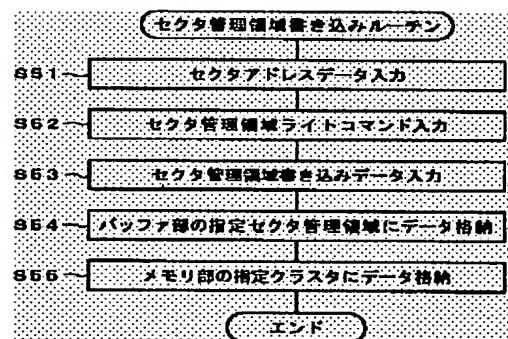
【図5】



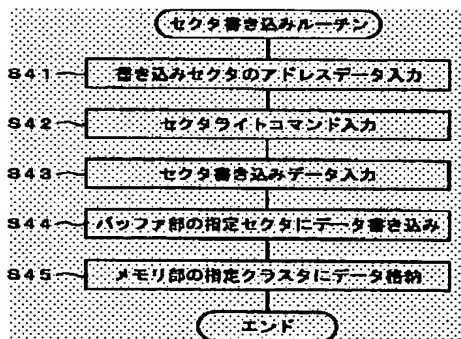
【図6】



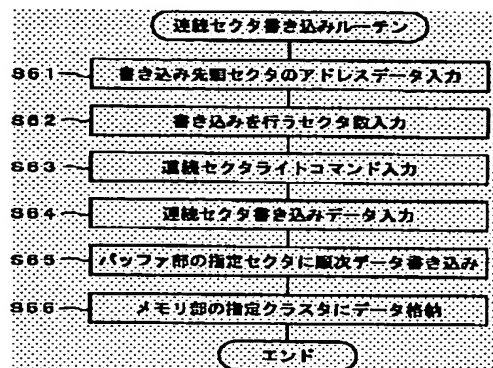
【図8】



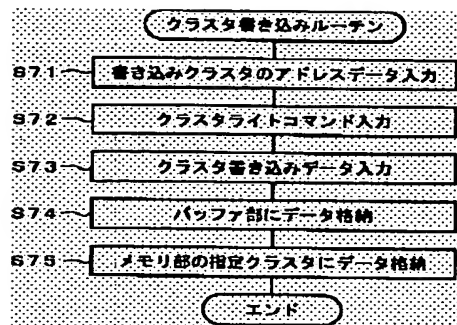
【図7】



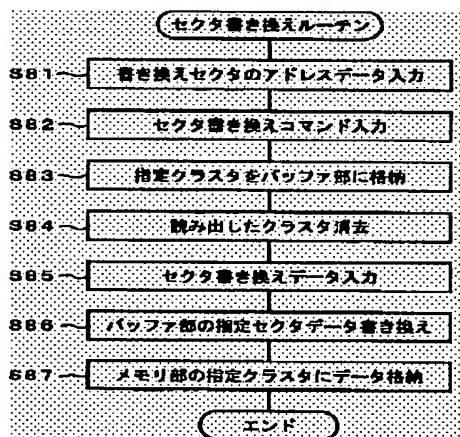
【図9】



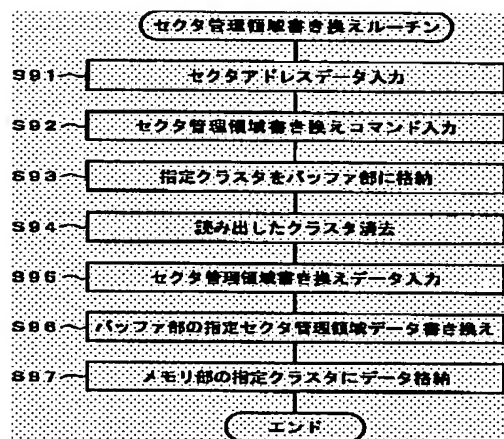
【図10】



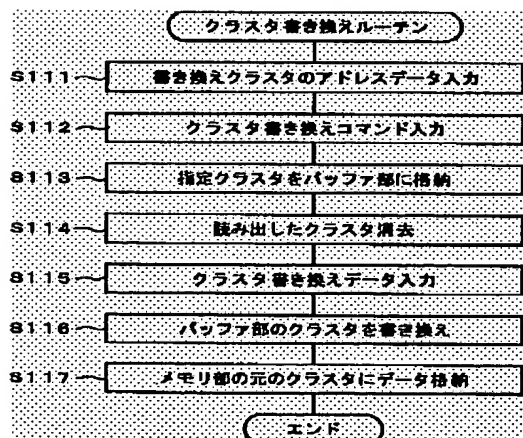
【図11】



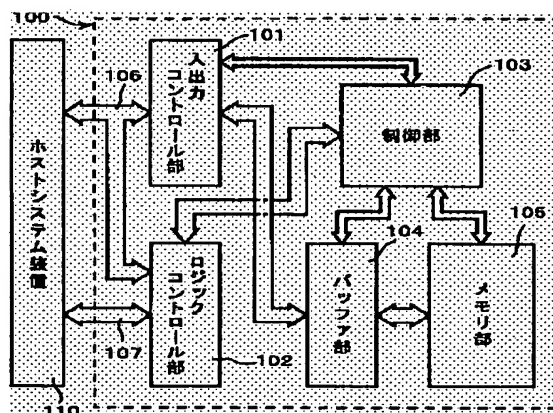
【図12】



【図14】



【図15】





【図13】

